

⑫ 公開特許公報 (A)

昭56—153687

⑤ Int. Cl.³

H 05 B 33/22

G 09 F 9/00

9/30

H 05 B 33/26

識別記号

庁内整理番号

7254—3K

6865—5C

7520—5C

7254—3K

④ 公開 昭和56年(1981)11月27日

発明の数 1

審査請求 未請求

(全 4 頁)

⑤ 表示装置

① 特 願 昭55—58900

② 出 願 昭55(1980)4月30日

⑦ 発 明 者 大川泰史

川崎市中原区上小田中1015番地

富士通株式会社内

⑦ 発 明 者 沖賢一

川崎市中原区上小田中1015番地

富士通株式会社内

⑦ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑦ 代 理 人 弁理士 井桁貞一

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

(1) 一対の対向する電極間に、表示媒体層とヒステリシス制御特性素子とを直列に介在せしめて表示素子を構成したことを特徴とする表示装置。

(2) 前記表示素子がマトリックス状に配列されてなることを特徴とする特許請求の範囲第(1)項に記載の表示装置。

(3) 前記表示媒体層が EL よりなり、かつ前記ヒステリシス制御特性素子が p n p n 接合を有する半導体素子からなることを特徴とする特許請求の範囲第(1)項または第(2)項に記載の表示装置。

3. 発明の詳細な説明

本発明はマトリックス状の X Y 電極群を有する表示装置たるディスプレイパネルの構造に関するものである。

近年表示装置としてのディスプレイパネルが種々開発実用化されて来ているが、その代表例はたとえば電場発光素子（以下 EL 素子と略称する）に見ることができる。

マトリックス状をなす X Y 電極群を有する EL ディスプレイパネルにおいて、その走査電極たとえば Y 電極をリフレッシュ駆動する場合には、該走査電極を繰順次に走査選択して電圧印加を行うため、該電極に対して連続して電圧を印加する場合よりも該 EL ディスプレイパネルの輝度は著しく低下するという欠点がある。

本発明は上記欠点に鑑みてなされたもので、X Y 各方向の電極群の各交点にヒステリシス制御特性素子を設け、そのヒステリシス特性を利用して電圧の連続的印加を行わせ、これによつて輝度を向上せしめんとするもので、以下図面を用いて詳記する。

第 1 図は本発明に係る EL ディスプレイパネルの断面構造図であつて、1 はたとえばガラスなどの透光性絶縁基板、2 は発明電極で X 電極群のう

ちの一つ、3は発光層、4は浮遊電極で、上記X電極2、発光層3、浮遊電極4の三者で帯状のEL層を形成している。また5および7はn型のシリコン(Si)層、6および8はp型のSi層、9はたとえばアルミニウム(Al)などからなる電極であつて、該Al電極9は紙面に垂直方向に延びてY電極群を形成する。また上記n型Si層5、7、p型Si層6、8ならびにAl電極9と前記浮遊電極4の積層構成によつてたとえばサイリスタのごとき単位のヒステリシス制御特性素子(以下制御特性素子と呼ぶ)10a、10b、10c……を形成している。

第2図に前記制御特性素子の電流-電圧特性を示すが、該制御特性素子とEL素子とは上記したごとく直列に接続された形となつており、前記第1図に示したごとくその両端には一定の直流電圧 V_A とそれに直列な正・負のパルスを生ずる電源Eが接続されている。該パルス電源Eからは極性が正で波高値が V_{SI} なる書込み用パルス電圧と極性が負で波高値が V_{SO} なる消去用パルス電圧と

3

$$V_A + V_{SI} < V_{BO} < V_A + 2V_{SI} \dots \dots (2)$$

となれば、第2図中に示した矢印イ、ロ、ハに沿つて動作点が移動し、制御特性素子はブレイク・オーバを起として導通状態に入り、その両端電圧は低下する。そしてそれに代わつて、EL素子両端には(1)式に与えられた図示しない発光開始電圧 V_{TH} よりも大なる直流電圧 V_A が印加されるので該EL素子は発光し、その発光は制御特性素子のヒステリシス特性のために、印加電圧が制御特性素子の遮断電圧 V_{TO} を下まわらないかぎり持続する。したがつてEL素子の発光停止には、今後は、

$$V_A - V_{SO} > V_{TO} > V_A - 2V_{SO} \dots \dots (3)$$

となるように、 $V_A - V_{SO}$ なる全印加電圧に更に負の電圧 $-V_{SO}$ がつけ加わつて印加されるようにしておく。こうすれば第2図の曲線上を動作点がニおよびヘ方向に移動して実効印加電圧は V_{TO} 以下に低下し、制御特性素子は再び高抵抗にもどるため、EL素子両端の電圧は低下してEL素子の発光は停止する。

第8図(a)は縦方向に延びるX電極2a、2b、2c —362—

が第8図(b)中に示したタイミングで組合わされて出力され、直流電圧 V_A に重畳されて電圧 $V_{E(t)}$ を形成する。この一方で上記サイリスタとEL素子の直列接続端子間すなわちAl電極(Y電極)9と透明電極(X電極)2間には上記電圧 V_A を、

$$V_{TH} < V_A < V_{BO} \dots \dots (1)$$

なる関係となるように調整の上で印加しておく。ここで、 V_{BO} は制御特性素子10a、10b、10c……のブレイク・オーバ電圧であり、 V_{TH} はEL素子の発光開始電圧である。

仮に前記書込み用パルス電圧 V_{SI} に重畳してもその合計が制御特性素子のブレイク・オーバ電圧 V_{BO} を上まわらないかぎり、制御特性素子は導通状態とはならず、全印加電圧 $V_{E(t)} = V_A + V_{SI}$ は制御特性素子両端にかかるのみでEL素子両端の電圧は極めて低く、このためEL素子が発光することはない。しかし仮に全印加電圧 $V_{E(t)} = V_A + V_{SI}$ にさらに $+V_{SI}$ が加わつて $V_A + 2V_{SI}$ となり電圧 V_{BO} を上まわつて

4

とこれに直交するY電極9a、9b、9cを描いたもので前記第1図中に8として示した発光層は第8図(a)中に斜線で示したように、X電極2a、2b、2cのそれぞれの上に形成されており、制御特性素子10a、10b、10cは該X電極とY電極との交点Qに設けられている。

いま、第8図(b)の $t_1 \sim t_2$ なる期間に、直流電圧 V_A の上にパルス状電圧 $+V_{SI}$ が、また $t_3 \sim t_4$ なる期間にパルス状電圧 $-V_{SO}$ が組合わさつて重畳した電圧 $V_{E1(t)}$ をY電極9aに、そして $t_5 \sim t_6$ の期間に電圧 $+V_{SI}$ が、また $t_7 \sim t_8$ なる期間に電圧 $-V_{SO}$ が重畳した電圧 $V_{E2(t)}$ をY電極9bに、そして $t_9 \sim t_{10}$ の期間に $+V_{SI}$ が、また $t_{11} \sim t_{12}$ の期間に電圧 $-V_{SO}$ が重畳した実効電圧 $V_{E3(t)}$ をY電極9cに、それぞれ加わるように走査する。こうしておいた上で第1図の透明電極に相当するX電極2aに対して上記の $t_1 \sim t_2$ なる期間に同期して第8図(a)の上図に示したごとく $-V_{SI}$ を印加しておけば第1図のAl電極に相当する電極9aには $V_A + V_{SI}$ が印加されているから、両電極の交

点において直列に形成されている制御特性素子と EL 素子の両端には $V_A + 2V_{SI}$ なる合計電圧が印加されたことになり、(2)式の関係が成立し該交点の制御特性素子はブレイクオーバーして導通状態となるのでその直下の EL 素子は発光する。この場合次の $t_3 \sim t_4$ なる期間に電圧 $V_{E1(t)}$ 中の $-V_{S0}$ が生じてこれによつて決定される実効電圧 $V_{E1(t)} - V_A - V_{S0}$ は第 2 図中または(8)式に示したごとく制御特性素子の遮断電圧 V_{T0} 以下とはならないため、電極 9a と 2a との交点における EL 素子の発光が消滅することはない。

同様に X 電極 2b, 2c のそれぞれに対して、 $t_5 \sim t_6$, ならびに $t_9 \sim t_{10}$ の各期間に実効電圧 $V_{E2(t)}, V_{E3(t)}$ 中の各電圧 $+V_{SI}$ と同期して第 3 図の上図に示した $-V_{SI}$ が印加されると電極 9b と 2b の交点ならびに電極 9c と 2c との交点における各制御特性素子は導通状態となつて上記各交点の EL 素子はそれぞれ発光し、第 1 図中の矢印ホ方向に光を放射する。この場合、前記と同様に、 $V_{E2(t)}$ ならびに $V_{E3(t)}$ における $t_7 \sim t_8, t_{11} \sim t_{12}$ の各期

7

たごとく、 $-V_{S0}, +V_{S0}$ を零となしておけばよい。

なお X 電極群 9a, 9b, 9c に対する電圧 $V_{E(t)}$ の繰順次走査を行う方法を第 1 図で説明すれば、第 1 図中の制御特性素子 10a と 10b の間、ならびに 10b と 10c の間、……にそれぞれ D で示した遅延素子を挿入しておき、端子 30 から電圧 $V_{E(t)}$ を印加する。こうすれば、制御特性素子 10a, 10b, 10c の各 A1 電極すなわち 9a, 9b, 9c に対して繰順次に電圧 $V_{E(t)}$ が印加走査される。また一般に制御特性素子のブレイク・オーバー電圧 V_{B0} には通常バラツキが存在するので、この各制御特性素子ごとの V_{B0} の値を揃えるために第 1 図中に示したごとく、P 型 Si 層 6 から端子 11a, 11b, 11c を引き出しておき、該端子に流す電流をたとえば半固定抵抗の調整によつて調節し、各制御特性素子 10a, 10b, 10c のブレイク・オーバー電圧 V_{B0} を一定値に揃えることを行なつてもよい。

ちなみに本発明の実施例は EL パネルディスプレイについて述べたが、これは PDP パネルデ

間の電圧 $-V_{S0}$ によつて上記の各点における制御特性素子が遮断状態に入ることなく、したがつて各 EL 素子は消滅しない。

これに対して、第 3 図の上図に示した $+V_{S0}$ なる電圧が X 電極 2a, 2b, 2c のそれぞれに対して $t_3 \sim t_4, t_7 \sim t_8, t_{11} \sim t_{12}$ なる各期間に実効電圧 $V_{E1(t)}, V_{E2(t)}, V_{E3(t)}$ 中の各電圧 $-V_{S0}$ と同期して印加されれば、各交点における実効印加電圧は(3)式に示した関係によつて第 2 図中の遮断電圧 V_{T0} 以下となるために各交点の制御特性素子は遮断状態に入り、したがつて各交点の EL 素子の発光は消滅する。

以上に述べたごとく X 電極群に電圧 $V_{E(t)}$ を走査させ Y 電極群に第 3 図の上図に示した $-V_{SI}$ なる制御電圧を印加することにより任意の X Y 両電極の交点の EL 素子の発光を開始継続せしめ、逆に第 3 図の上図に示した $+V_{S0}$ なる制御電圧の印加によつて、任意の X Y 両電極の交点の発光状態にある EL 素子を消滅せしめうる。そして上記発光を維持せしめんとするならば第 3 図の上図に示し

8

スプレイについて行なつてもよく、この場合には EL 発光素子の部分を他の表示媒体としての放電空間におきかえればよい。そしてまた第 3 図に示した本発明の駆動方式は液晶を表示媒体層としたパネルディスプレイについて適用することも可能である。

また以上は EL 層を透光性絶縁基板側に形成した実施例であるが、SOI 技術あるいは TFT 技術の利用によつて、ヒステリシス制御特性素子を透光性絶縁基板側に配置することも可能である。

以上に述べた本発明に係るディスプレイパネルの構造を用いれば、EL 素子、PDP などでは発光輝度の著しい向上が得られるので、実用上多大の効果が期待できる。

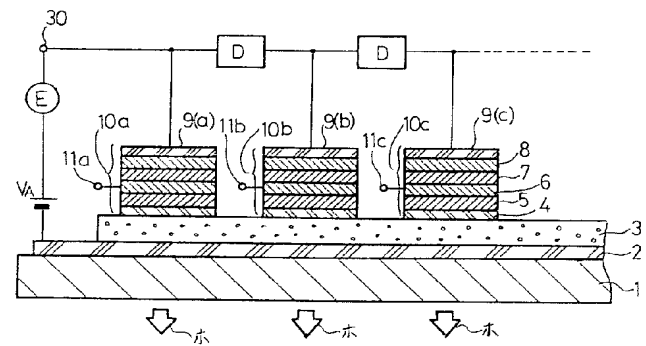
4. 図面の簡単な説明

第 1 図は本発明の一実施例としての EL ディスプレイパネルの構造を示す模式図、第 2 図は該実施例に用いる制御特性素子の動作を示す図、第 3 図(a)は該実施例のマトリックス状の X Y 電極を示す図、第 3 図(b)は X 電極に印加走査する電圧を示

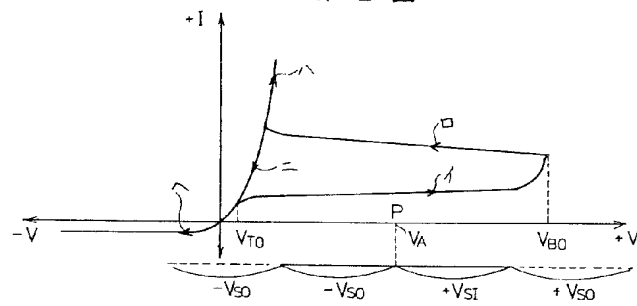
す図である。

1 : 透光性絶縁基板、2a, 2b, 2c : 透明電極
2 で形成された X 電極、8 : 発光層、4 : 浮遊電極、5, 7 : n 型 Si 層、6, 8 : p 型 Si 層、9, 9a, 9b, 9c : Al 電極で形成された Y 電極、10a, 10b, 10c : ヒステリシス制御特性素子。

第 1 図



第 2 図



11

第 3 図

